

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2000-031617**
(43)Date of publication of application : **28.01.2000**

(51)Int.Cl. **H05K 1/14**
H01L 27/10
H01R 12/16

(21)Application number : **10-195778**

(22)Date of filing : **10.07.1998**

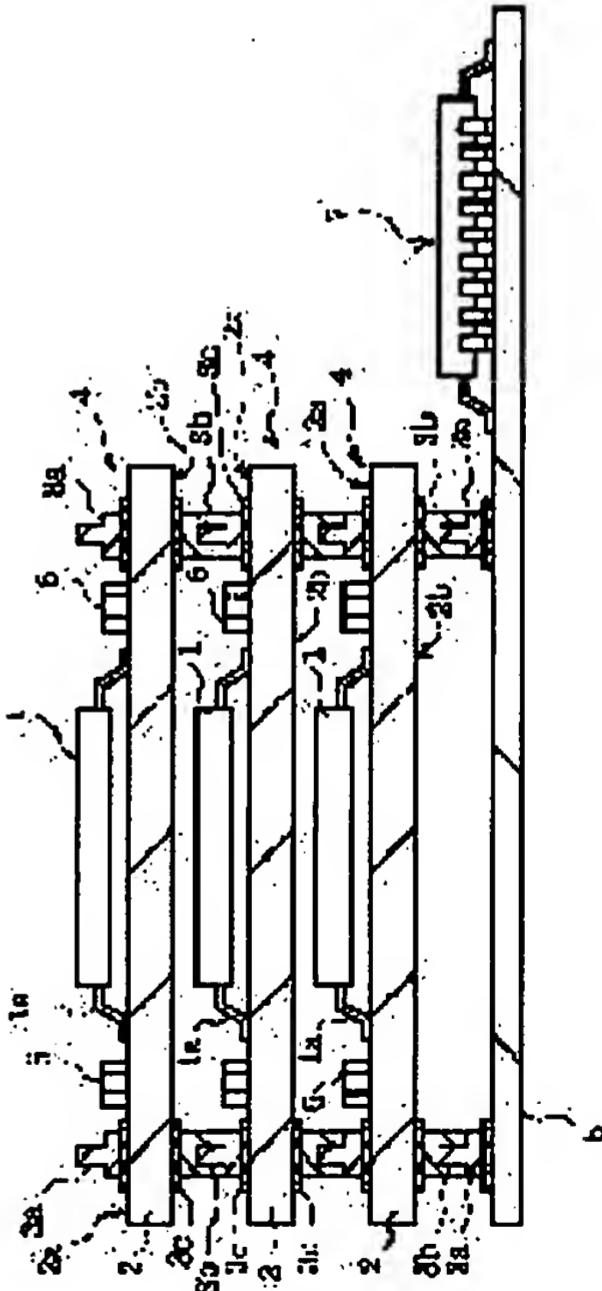
(71)Applicant : **HITACHI LTD**
HITACHI TOBU
SEMICONDUCTOR LTD
(72)Inventor : **TOKIDA KENSUKE**
TSUKUI SEIICHIRO
SAKAGUCHI YOSHIHIRO
NAKAMURA ATSUSHI

(54) MEMORY MODULE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize increase in high density and large capacity.

SOLUTION: This memory module has a module board 2 mounted with a TSOP 1, and this is provided with a male connector 3a on the surface 2a of the module board 2 and is also provided with a female connector 3b electrically connected to this male connector 3a, on the rear surface 2b of the module board 2, whereby a plurality of module boards 2 can be stacked and mounted by connecting the female connectors 3 provided on the rear surface 2b with the male connectors 3a attached to a motherboard 5.



LEGAL STATUS

[Date of request for examination]

01.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(51) Int.Cl'	識別記号	F I	マーク(参考)
H 05 K 1/14		H 05 K 1/14	H 5 E 0 2 3
H 01 L 27/10	4 9 5	H 01 L 27/10	4 9 5 5 E 3 4 4
H 01 R 12/16		H 01 R 23/68	Z 5 F 0 8 3

審査請求 未請求 請求項の数9 OL (全 11 頁)

(21)出願番号 特願平10-195778

(22)出願日 平成10年7月10日 (1998.7.10)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田横河台四丁目 6 番地

(71)出願人 000233527

日立東部セミコンダクタ株式会社

群馬県高崎市西横手町 1 番地 1

(72)発明者 常田 健祐

東京都小平市上木本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 100080001

弁理士 筒井 大和

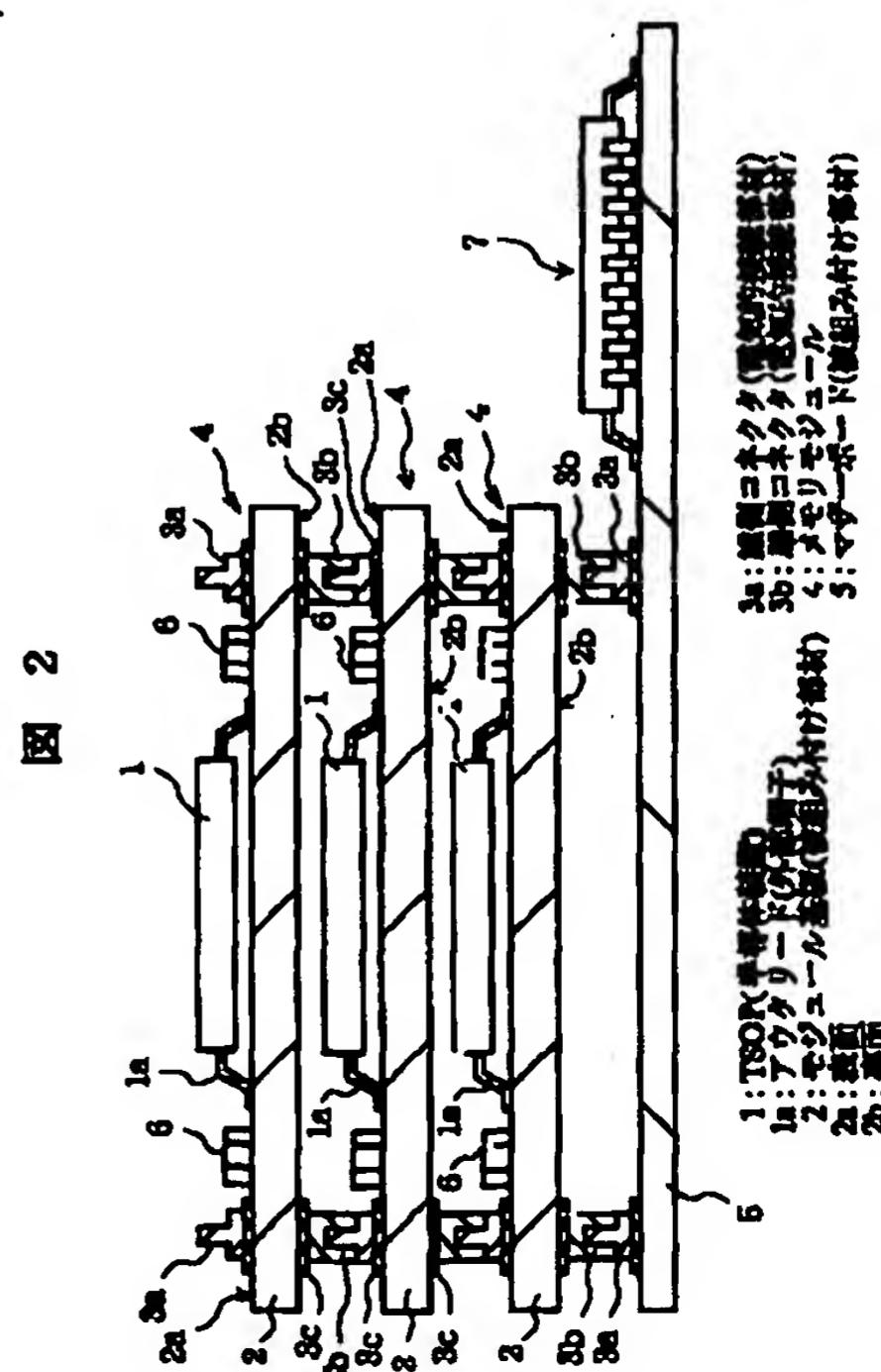
最終頁に続く

(54)【発明の名称】 メモリモジュールおよびその製造方法

(57)【要約】

【課題】 高密度化および大容量化を実現する。

【解決手段】 TSOP 1を搭載したモジュール基板2を有し、モジュール基板2の表面2aに雄側コネクタ3aが設けられるとともに、この雄側コネクタ3aと電気的に接続されてモジュール基板2の裏面2bに雌側コネクタ3bが設けられたことにより、裏面2bに設けられた雌側コネクタ3bをマザーボード5に取り付けられた雄側コネクタ3aと接続させて複数のモジュール基板2を積層実装することができる。



【特許請求の範囲】

【請求項1】 半導体装置を搭載したモジュール基板と、

前記モジュール基板を積層実装可能な電気的接続部材とを有し、

前記電気的接続部材を介して複数の前記モジュール基板を前記モジュール基板またはマザーボードに積層実装し得ることを特徴とするメモリモジュール。

【請求項2】 半導体装置を搭載したモジュール基板を有するメモリモジュールであって、前記モジュール基板の表裏面のうちの何れか一方の面に雄側および雌側コネクタのうちの何れか一方が設けられるとともに、前記モジュール基板の表裏面の何れか他方の面上に前記雄側および雌側コネクタのうちの何れか一方が設けられ、前記雄側および雌側コネクタのうちの何れか一方が設けられた前記雄側および雌側コネクタのうちの何れかと接続させて複数の前記モジュール基板を積層実装し得ることを特徴とするメモリモジュール。

【請求項3】 半導体装置を搭載し、かつ表裏面のうちの何れか一方の面に雄側および雌側コネクタのうちの何れか一方が設けられるとともに、前記表裏面の何れか他方の面上に前記雄側および雌側コネクタのうちの何れか一方が設けられたモジュール基板と、

前記モジュール基板に設けられた前記雄側および雌側コネクタのうちの何れかと電気的に接続する前記雄側または雌側コネクタが設けられたマザーボードとを有し、

前記マザーボードに複数の前記モジュール基板を積層実装し得ることを特徴とするメモリモジュール。

【請求項4】 請求項2または3記載のメモリモジュールであって、前記雄側または雌側コネクタが前記半導体装置の外部端子に対応して前記半導体装置の両側の前記外部端子の近傍に設けられていることを特徴とするメモリモジュール。

【請求項5】 請求項2、3または4記載のメモリモジュールであって、前記雄側および雌側コネクタが表面実装形のコネクタであり、前記雄側および雌側コネクタが前記モジュール基板に表面実装によって電気的に接続されていることを特徴とするメモリモジュール。

【請求項6】 表裏面のうちの少なくとも一方の面上に電気的接続部材が設けられたモジュール基板を準備する工程と、

前記モジュール基板に半導体装置を搭載する工程とを有し、

前記電気的接続部材を介して複数の前記モジュール基板を前記モジュール基板またはマザーボードに積層実装し得ることを特徴とするメモリモジュールの製造方法。

【請求項7】 表裏面のうちの何れか一方の面上に雄側および雌側コネクタのうちの何れか一方が設けられるとともに、前記表裏面の何れか他方の面上に前記雄側および雌側コネクタのうちの何れか一方が設けられたモジュール

基板を準備する工程と、

前記モジュール基板に半導体装置を搭載する工程とを有し、

前記雄側または雌側コネクタを介して複数の前記モジュール基板を被組み付け部材に積層実装し得ることを特徴とするメモリモジュールの製造方法。

【請求項8】 表裏面のうちの何れか一方の面上に雄側および雌側コネクタのうちの何れか一方が設けられるとともに、前記表裏面の何れか他方の面上に前記雄側および雌側コネクタのうちの何れか一方が設けられたモジュール基板を準備する工程と、

前記雄側および雌側コネクタのうちの何れか一方が設けられたマザーボードを準備する工程と、

前記モジュール基板に半導体装置を搭載する工程とを有し、

前記雄側または雌側コネクタを介して複数の前記モジュール基板を前記マザーボードに積層実装し得ることを特徴とするメモリモジュールの製造方法。

【請求項9】 半導体装置を搭載可能なモジュール基板を準備する工程と、

前記モジュール基板の表裏面のうちの何れか一方の面上に雄側および雌側コネクタのうちの何れか一方を設けるとともに、前記表裏面の何れか他方の面上に前記雄側および雌側コネクタのうちの何れか一方を設ける工程と、

前記モジュール基板に半導体装置を搭載する工程とを有し、

前記雄側または雌側コネクタを介して複数の前記モジュール基板を被組み付け部材に積層実装し得ることを特徴とするメモリモジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特に、メモリモジュールの高密度実装に適用して有効な技術に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】複数の半導体装置を搭載したモジュール製品の一例として、S I M M (SingleIn-line Memory Module) と呼ばれるメモリモジュールがある。

【0004】このS I M Mは、メモリチップを有した複数（例えば、8個程度）の半導体装置が、モジュール基板の表裏両面に取り付けられたものであり、パーソナルコンピュータ（以降、パソコンと略す）やワークステーションなどにおいて、使用メモリを増設する際に、パソコンやワークステーションが備えるマザーボードに搭載してメモリ容量を増やすものである。

【0005】S I M Mの実装方法については、S I M Mを取り付けるソケットがマザーボードに設けられ、この

ソケットにSIMMのモジュール基板を差し込んでSIMMを実装し、これにより、メモリを増設している。

【0006】なお、SIMMなどのメモリモジュールについては、例えば、株式会社工業調査会、1993年9月1日発行、「電子材料9月号」、33~39頁に記載されている。

【0007】

【発明が解決しようとする課題】ところが、前記した技術のメモリモジュールの実装においては、メモリ容量を増加させる際に、マザーボード上のメモリモジュール取り付け用のソケットの数を増やすなければならない。

【0008】その場合、パソコンやワークステーション内の各ソケット間の設置間隔などの規定が生じ、メモリモジュールの実装において高密度化や大容量化を実現するためには、より大きな実装面積を確保しなければならないことが問題となる。

【0009】本発明の目的は、高密度化および大容量化を実現するメモリモジュールおよびその製造方法を提供することにある。

【0010】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0012】すなわち、本発明のメモリモジュールは、半導体装置を搭載したモジュール基板と、前記モジュール基板を積層実装可能な電気的接続部材とを有し、前記電気的接続部材を介して複数の前記モジュール基板を前記モジュール基板またはマザーボードに積層実装し得るものである。

【0013】さらに、本発明のメモリモジュールは、半導体装置を搭載したモジュール基板を有するものであり、前記モジュール基板の表裏面のうちの何れか一方の面に雄側および雌側コネクタのうちの何れか一方が設けられるとともに、前記モジュール基板の表裏面の何れか他方の面上に前記雄側および雌側コネクタのうちの何れか一方が設けられ、前記雄側および雌側コネクタのうちの何れかを、被組み付け部材に設けられた前記雄側および雌側コネクタのうちの何れかと接続させて複数の前記モジュール基板を積層実装し得るものである。

【0014】これにより、雄側および雌側コネクタを介して被組み付け部材に複数のモジュール基板を積層実装することが可能となり、その結果、少ない面積でメモリの高密度化と大容量化とを実現することができる。

【0015】また、本発明のメモリモジュールの製造方法は、表裏面のうちの少なくとも一方の面上に電気的接続部材が設けられたモジュール基板を準備する工程と、前記モジュール基板に半導体装置を搭載する工程とを有

し、前記電気的接続部材を介して複数の前記モジュール基板を前記モジュール基板またはマザーボードに積層実装し得るものである。

【0016】さらに、本発明のメモリモジュールの製造方法は、表裏面のうちの何れか一方の面上に雄側および雌側コネクタのうちの何れか一方が設けられるとともに、前記表裏面の何れか他方の面上に前記雄側および雌側コネクタのうちの何れか一方が設けられたモジュール基板を準備する工程と、前記モジュール基板に半導体装置を搭載する工程とを有し、前記雄側または雌側コネクタを介して複数の前記モジュール基板を被組み付け部材に積層実装し得るものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0018】図1は本発明のメモリモジュールの構造の実施の形態の一例を示す斜視図、図2は図1に示すメモリモジュールの実装状態の構造の一例を示す断面図、図3は図1に示すメモリモジュールに用いられるモジュール基板の基板本体の構造の一例を示す斜視図、図4は図1に示すメモリモジュールの積層方法の一例を示す斜視図、図5は図1に示すメモリモジュールのマザーボードへの実装時の積層方法の一例を示す断面図である。

【0019】図1、図2に示す本実施の形態のメモリモジュール4は、半導体集積回路が形成されたメモリチップを備えた半導体装置を有するものであり、パソコンやワークステーションなどにおいて、使用メモリを増設する目的で、被組み付け部材に複数個のメモリモジュール4を実装してメモリ容量を増やすものである。

【0020】なお、本実施の形態では、半導体装置の一例として、超薄形の半導体装置であるTSOP (Thin Small Outline Package) 1を取り上げ、かつ、被組み付け部材として種々の電子部品が搭載されるマザーボード5とモジュール基板2とを取り上げて説明する。

【0021】メモリモジュール4の構成について説明すると、図2に示すように、半導体装置であるTSOP 1を搭載したモジュール基板2を有し、モジュール基板2の表面2aに雄側コネクタ3a (電気的接続部材) が設けられるとともに、この雄側コネクタ3aと電気的に接続された状態でモジュール基板2の裏面2bに雌側コネクタ3b (電気的接続部材) が設けられたものであり、裏面2bに設けられた雌側コネクタ3bを、マザーボード5 (被組み付け部材) または他のモジュール基板2 (被組み付け部材) に設けられた雄側コネクタ3aと接続させて複数のモジュール基板2を積層実装することが可能なものである。

【0022】なお、本実施の形態では、図1に示すように、3個のメモリモジュール4が積層された場合を説明する。

【0023】したがって、図1に示すメモリモジュール

4は、3個のメモリモジュール4を積層したものであるとともに、これを1個の積層形のメモリモジュール4と見なすこともできる。

【0024】なお、積層された3個のメモリモジュール4では、上・中・下それぞれの層における同じ箇所（位置）の端子が共通端子として電気的に接続されている。

【0025】また、本実施の形態のメモリモジュール4は、そのモジュール基板2の表面2aにおいて、雄側コネクタ3aがTSOP1のアウタリード1a（外部端子）に対応してTSOP1の両側のアウタリード1aの近傍に設けられている。

【0026】すなわち、モジュール基板2の表面2aの内方にTSOP1が配置され、その両側のアウタリード1aに沿うように、モジュール基板2の両端に雄側コネクタ3aが配置されている。

【0027】さらに、モジュール基板2の表面2aの2つの雄側コネクタ3aとそれぞれに一対を成して裏面2bの同じ箇所（両端）に2つの雄側コネクタ3bが設けられている。

【0028】ここで、本実施の形態のメモリモジュール4に用いられる雄側コネクタ3aおよび雄側コネクタ3bは、図示しないメモリカード製品などで用いられている表面実装形（サーフェイスマウントタイプ）のものであり、モジュール基板2にはなんだ接続による表面実装によって電気的に接続されて取り付けられている。

【0029】したがって、モジュール基板2の表面2aまたは裏面2bに雄側コネクタ3aまたは雄側コネクタ3bを取り付けた際には、それぞれコネクタの接続方向を表面2aまたは裏面2bに対して垂直な方向にすることができる、これにより、モジュール基板2を積層させて実装することが可能になる。

【0030】ただし、その接続方向を表面2aまたは裏面2bに対して垂直な方向にすることが可能なコネクタであれば、表面実装形のものに限らず、例えば、ピン挿入形のコネクタであってもよい。

【0031】また、雄側コネクタ3aおよび雄側コネクタ3bが表面実装形であることにより、モジュール基板2に搭載する際には、はんだを用いて容易に搭載できる。

【0032】なお、雄側コネクタ3aおよび雄側コネクタ3bは、それぞれコネクタパッド3cを介してモジュール基板2の表面2aおよび裏面2bに設けられている。

【0033】つまり、モジュール基板2の基板本体2c（図3参照）の表面2aおよび裏面2bには、TSOP1の個々のアウタリード1aに対応してその配線と電気的に接続された複数の基板電極であるパッド2dが設けられており、この表面2aおよび裏面2bのパッド2d上にそれぞれコネクタパッド3cを介して雄側コネクタ3aまたは雄側コネクタ3bが設けられている。

【0034】次に、図1に示す3個のメモリモジュール4をマザーボード5に積層実装した実装状態の一例を図2に示す。

【0035】つまり、図2に示すメモリモジュール4は、図1に示す3個のメモリモジュール4と、モジュール基板2の裏面2bに設けられた雄側コネクタ3bと電気的に接続する雄側コネクタ3aが設けられたマザーボード5とからなり、マザーボードに3個のモジュール基板2を積層実装するものである（ただし、マザーボード5に積層実装するメモリモジュール4の数は、3個以外の複数個もしくは1個であってもよい）。

【0036】なお、マザーボード5は、図示しないパソコンやワークステーションなどの内部に装着されるプリント配線基板などであり、そこには、図2に示すように、例えば、QFP（Quad Flat Package）7などの半導体装置もしくは他の電子部品が搭載されている。

【0037】一方、図2に示すように、メモリモジュール4においても、モジュール基板2上にチップコンデンサ6などの種々の小形の電子部品が搭載されている。

【0038】次に、本実施の形態のメモリモジュールの製造方法について説明する。

【0039】まず、図3に示す基板本体2cの表面2aの両端のパッド2d上にそれぞれにコネクタパッド3cを介して雄側コネクタ3aが2個設けられるとともに、その裏面2bのパッド2d上に表面2a側の雄側コネクタ3aと一対を成す2個の雄側コネクタ3bが設けられたモジュール基板2を準備する。

【0040】さらに、モジュール基板2の表面2aの所定箇所、すなわち2個の雄側コネクタ3aに、両側のアウタリード1aがそれぞれに沿うように2個の雄側コネクタ3aの間にTSOP1を載置する。

【0041】その後、はんだ付けなどによって、モジュール基板2にTSOP1を搭載する。

【0042】これにより、雄側コネクタ3aまたは雄側コネクタ3bを介して複数（ここでは、3個）のモジュール基板2を他のモジュール基板2（被組み付け部材）に積層実装し得る図4に示すメモリモジュール4を製造できる。

【0043】続いて、図5に示すように、3個のメモリモジュール4のマザーボード5への実装方法を説明する。

【0044】まず、メモリモジュール4のモジュール基板2の裏面2bに設けられた2つの雄側コネクタ3bと同じ位置、すなわちメモリモジュール4の2つの雄側コネクタ3bと同じ間隔で2つの雄側コネクタ3aが取り付けられたマザーボード5を準備する。

【0045】その際、図5に示すように、必要に応じてマザーボード5にQFP7などの他の電子部品をはんだ付けなどによって実装する。

【0046】続いて、モジュール基板2の所定箇所には

んだ付けなどによりTSOP1を搭載して個々のメモリモジュール4を組み立てる。

【0047】その際、図5に示すように、必要に応じてモジュール基板2にチップコンデンサ6などの他の電子部品をはんだ付けなどによって実装する。

【0048】なお、本実施の形態では、図5に示すように、上・中・下の3層としてメモリモジュール4をマザーボード5上に積層実装するものであるが、まず、下層に配置するメモリモジュール4のモジュール基板2の裏面2bの雄側コネクタ3bをマザーボード5上の雄側コネクタ3aに差し込んでマザーボード5上に下層のメモリモジュール4を積層実装する。

【0049】続いて、中層に配置するメモリモジュール4のモジュール基板2の裏面2bの雄側コネクタ3bを下層のメモリモジュール4の表面2aの雄側コネクタ3aに差し込んで下層のメモリモジュール4上に中層のメモリモジュール4を積層実装する。

【0050】さらに、上層に配置するメモリモジュール4のモジュール基板2の裏面2bの雄側コネクタ3bを中層のメモリモジュール4の表面2aの雄側コネクタ3aに差し込んで中層のメモリモジュール4上に上層のメモリモジュール4を積層実装する。

【0051】これにより、上・中・下3層のメモリモジュール4のマザーボード5上への積層実装を終了する。

【0052】なお、本実施の形態では、マザーボード5上に3層構造でメモリモジュール4を積層実装する場合を説明したが、メモリモジュール4の積層数は、3層に限定されるものではなく、1層であっても、また、3層以外の複数の積層数であってもよい。

【0053】また、モジュール基板2を準備する際には、まず、図3に示すような、コネクタ取り付け前の基板本体2cを搬入して、その後にモジュール基板2の組み立て作業を行ってもよい。

【0054】すなわち、パッド2dが設けられ、かつTSOP1を搭載可能な図3に示す基板本体2cを準備し、この基板本体2cの表面2aの両端に、それぞれコネクタパッド3cを介して2つの雄側コネクタ3aを設け、さらに、基板本体2cの裏面2bの両端に同様にしてコネクタパッド3cを介して2つの雄側コネクタ3bを設けてモジュール基板2を組み立てる。

【0055】その後、モジュール基板2にTSOP1をはんだ付けなどによって搭載してメモリモジュール4を完成させ、図4および図5に示すように、例えば、マザーボード5上に複数のメモリモジュール4を積層実装する。

【0056】本実施の形態のメモリモジュールおよびその製造方法によれば、以下のような作用効果が得られる。

【0057】すなわち、モジュール基板2に雄側コネクタ3a(電気的接続部材)と雄側コネクタ3b(電気的

接続部材)とが設けられたことにより、この雄側コネクタ3aおよび雄側コネクタ3bを介して複数のモジュール基板2を積層実装することができる。

【0058】本実施の形態では、この雄側コネクタ3aおよび雄側コネクタ3bを介して他のモジュール基板2(被組み付け部材)との間で積層実装することが可能になり、その結果、マザーボード5に3つのモジュール基板2を3層で積層実装することが可能となる。

【0059】その結果、少ない面積でメモリの高密度化と大容量化とを実現することができる。

【0060】さらに、複数のメモリモジュール4を積層実装できることにより、ソケットタイプメモリモジュールと比較すると、その実装面積を低減することができ、かつ同一実装面積で比較すると、大容量化を図ることができる。

【0061】また、雄側コネクタ3aまたは雄側コネクタ3bがTSOP1(半導体装置)のアウタリード1aに対応してTSOP1の両側のアウタリード1aの近傍に設けられていることにより、TSOP1のアウタリード1aと各コネクタとが近くに配置されるため、モジュール基板2における配線の引き回しが簡単になる。

【0062】その結果、モジュール基板2における配線設計を容易にできる。

【0063】さらに、TSOP1のアウタリード1aと各コネクタとが近くに配置されるため、配線基板(モジュール基板2)における配線長をより短くすることができ、さらに、配線容量を低減できるとともに、信号速度の高速度化を図ることができる。

【0064】なお、モジュール基板2における配線設計を容易にできるため、配線の引き回しの際の自由度が向上し、これにより、特性上優れたプリント配線基板設計を行うことができる。

【0065】また、雄側コネクタ3aおよび雄側コネクタ3bが表面実装形のコネクタであることにより、両コネクタをモジュール基板2に実装する際に、はんだ付けを容易に行うことができる。

【0066】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0067】例えば、前記実施の形態のメモリモジュール4においては、半導体装置であるTSOP1が1個設けられている場合を説明したが、1つのメモリモジュール4に設けられる半導体装置の数は、1個に限らず、2個以上の複数個であってもよい。

【0068】さらに、前記半導体装置の種類は、TSOP1に限定されるものではなく、与えられるスペースに応じてSOP(Small Outline Package)などであってもよい。

【0069】また、前記実施の形態のメモリモジュール4においては、半導体装置がモジュール基板2の表面2aにのみ搭載されている場合を説明したが、TSOP1は、モジュール基板2の裏面2bにのみ設けられていてもよく、あるいは、表面2aと裏面2bとに1つもしくは複数個の半導体装置が設けられていてもよい。

【0070】また、前記実施の形態のメモリモジュール4においては、モジュール基板2の表面2aに雄側コネクタ3aが設けられ、かつ裏面2bに雄側コネクタ3bが設けられている場合を説明したが、雄側コネクタ3aと雄側コネクタ3bとが設けられる面は、表裏反対であってもよい。

【0071】すなわち、モジュール基板2の表面2aに雄側コネクタ3bが設けられ、かつ裏面2bに雄側コネクタ3aが設けられていてもよく、その際、マザーボード5上には、雄側コネクタ3bが設けられることになる。

【0072】また、メモリモジュール4の積層実装を可能にする他の手段としは、図6～図8に示す他の実施の形態のメモリモジュール4が考えられる。

【0073】図6に示すメモリモジュール4は、モジュール基板2の裏面2bにのみ電気的接続部材である雄側コネクタ3aまたは雄側コネクタ3b（ここでは、雄側コネクタ3b）を設け、さらに、被組み付け部材であるマザーボード5に所定の間隔で順次高さの異なる複数の雄側コネクタ3bまたは雄側コネクタ3a（ここでは、雄側コネクタ3a）を設け、これにより、マザーボード5上に複数のメモリモジュール4を積層実装するものである。

【0074】さらに、図7に示すメモリモジュール4は、そのモジュール基板2の両端部に半導体装置のアウタリード1aに対応した複数のピンリード8（電気的接続部材）をはんだ接続し、これらを補助基板9によって両側で支持し、さらに、マザーボード5上のソケット部材10にこの補助基板9を差し込んでモジュール基板2を積層実装するものである。

【0075】また、図8に示すメモリモジュール4は、モジュール基板2を複数の積層用リードピン11（電気的接続部材）によって積層支持し、この積層用リードピン11をマザーボード5に半田付けしてモジュール基板2を積層実装するものである。

【0076】したがって、図6～図8に示す他の実施の形態のメモリモジュール4は、TSOP1（半導体装置）を搭載したモジュール基板2と、モジュール基板2を積層実装可能な電気的接続部材である雄側コネクタ3a・雄側コネクタ3b、ピンリード8または積層用リードピン11とからなり、雄側コネクタ3a・雄側コネクタ3b、ピンリード8または積層用リードピン11を介して複数のモジュール基板2を他のモジュール基板2またはマザーボード5に積層実装し得るものである。

【0077】その際のメモリモジュール4の組み立ては、まず、表面2aおよび裏面2bのうちの何れか一方の面に前記電気的接続部材が設けられたモジュール基板2を準備し、その後、各モジュール基板2にTSOP1（半導体装置）を搭載してメモリモジュール4を製造する。

【0078】これにより、前記電気的接続部材を介して複数のモジュール基板2を他のモジュール基板2またはマザーボード5に積層実装できる。

【0079】つまり、図6～図8に示す他の実施の形態のメモリモジュール4においても、複数のモジュール基板2を積層実装することができ、その結果、メモリモジュール4の実装における高密度化を図ることができる。

【0080】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0081】(1)、メモリモジュールのモジュール基板に電気的接続部材が設けられたことにより、この電気的接続部材を介して複数のモジュール基板を積層実装することができ、その際、電気的接続部材が雄側および雌側コネクタであることにより、この雄側および雌側コネクタを介して被組み付け部材に複数のモジュール基板を積層実装することができとなり、その結果、少ない面積でメモリの高密度化と大容量化とを実現することができる。

【0082】(2)、(1)により、複数のメモリモジュールを積層実装できることにより、ソケットタイプメモリモジュールと比較すると、その実装面積を低減することができ、かつ同一実装面積で比較すると、大容量化を図ることができる。

【0083】(3)、雄側または雌側コネクタが半導体装置の外部端子に対応して半導体装置の両側の外部端子の近傍に設けられていることにより、半導体装置の外部端子と各コネクタとが近くに配置されるため、モジュール基板における配線の引き回しが簡単になる。その結果、モジュール基板における配線設計を容易にできる。

【0084】(4)、半導体装置の外部端子と各コネクタとが近くに配置されるため、モジュール基板における配線長をより短くすることができ、配線容量を低減できるとともに、信号速度の高速度化を図ることができる。

【0085】(5)、モジュール基板における配線設計を容易にできるため、配線の引き回しの際の自由度が向上し、これにより、特性上優れた配線基板設計を行うことができる。

【図面の簡単な説明】

【図1】本発明のメモリモジュールの構造の実施の形態の一例を示す斜視図である。

【図2】図1に示すメモリモジュールの実装状態の構造の一例を示す断面図である。

【図3】図1に示すメモリモジュールに用いられるモジュール基板の基板本体の構造の一例を示す斜視図である。

【図4】図1に示すメモリモジュールの積層方法の一例を示す斜視図である。

【図5】図1に示すメモリモジュールのマザーボードへの実装時の積層方法の一例を示す断面図である。

【図6】本発明の他の実施の形態であるメモリモジュールの実装時の構造を示す断面図である。

【図7】本発明の他の実施の形態であるメモリモジュールの実装時の構造を示す断面図である。

【図8】本発明の他の実施の形態であるメモリモジュールの実装時の構造を示す断面図である。

【符号の説明】

1 TSOP (半導体装置)

1 a アウタリード (外部端子)

2 モジュール基板 (被組み付け部材)

2 a 表面

2 b 裏面

2 c 基板本体

2 d パッド

3 a 雄側コネクタ (電気的接続部材)

3 b 雌側コネクタ (電気的接続部材)

3 c コネクタパッド

4 メモリモジュール

5 マザーボード (被組み付け部材)

6 チップコンデンサ

7 QFP

8 ピンリード (電気的接続部材)

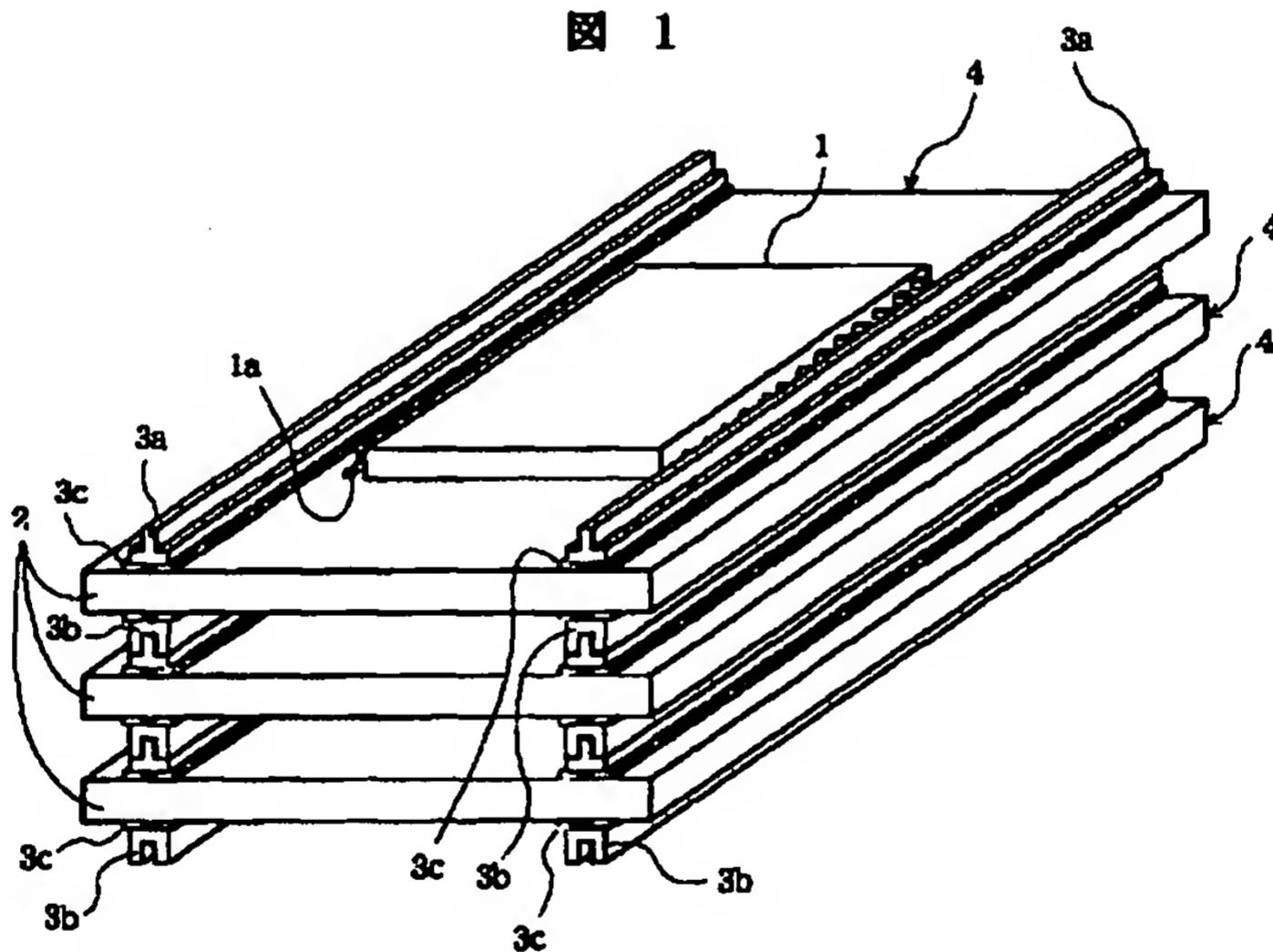
9 補助基板

10 ソケット部材

11 積層用リードピン (電気的接続部材)

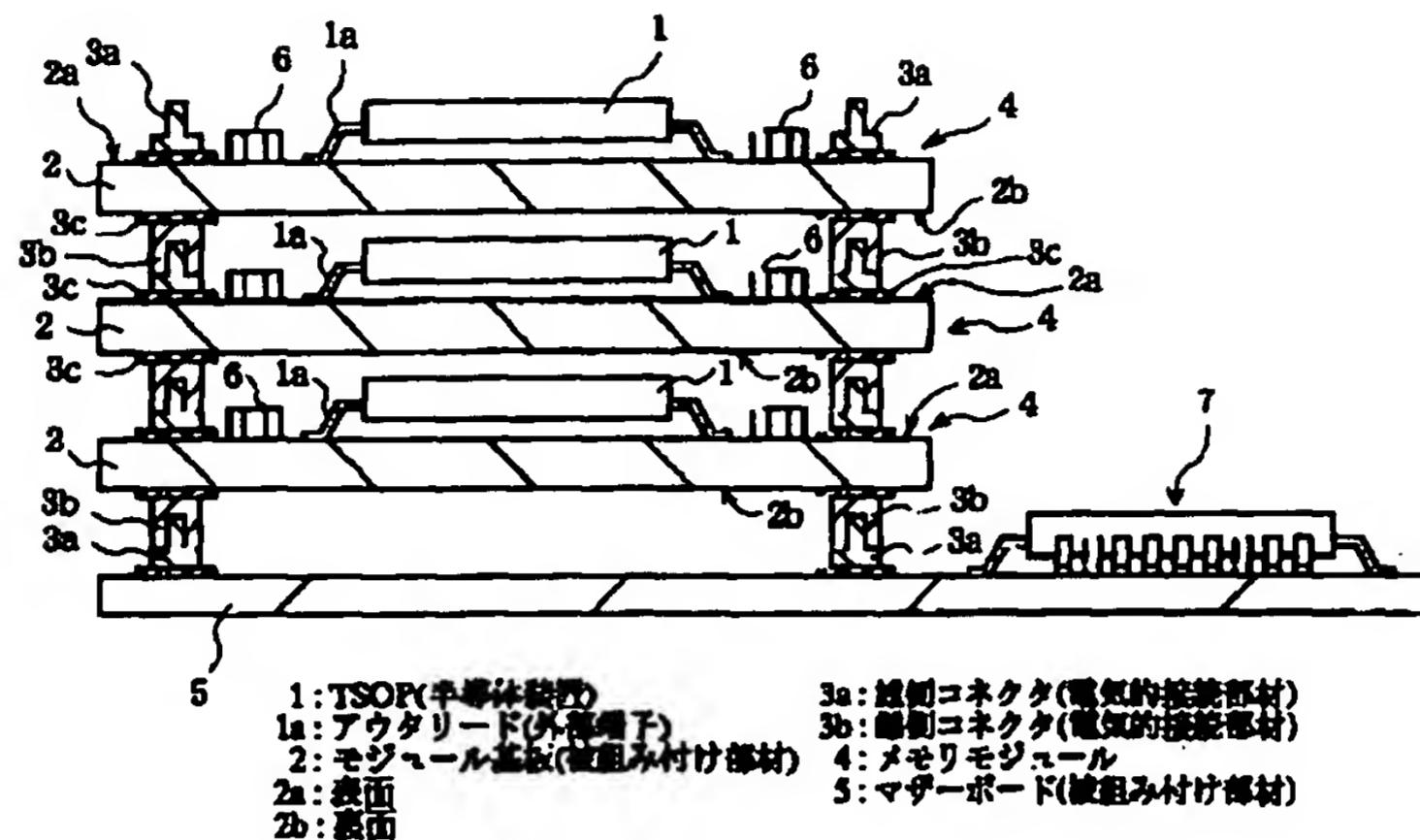
【図1】

図 1



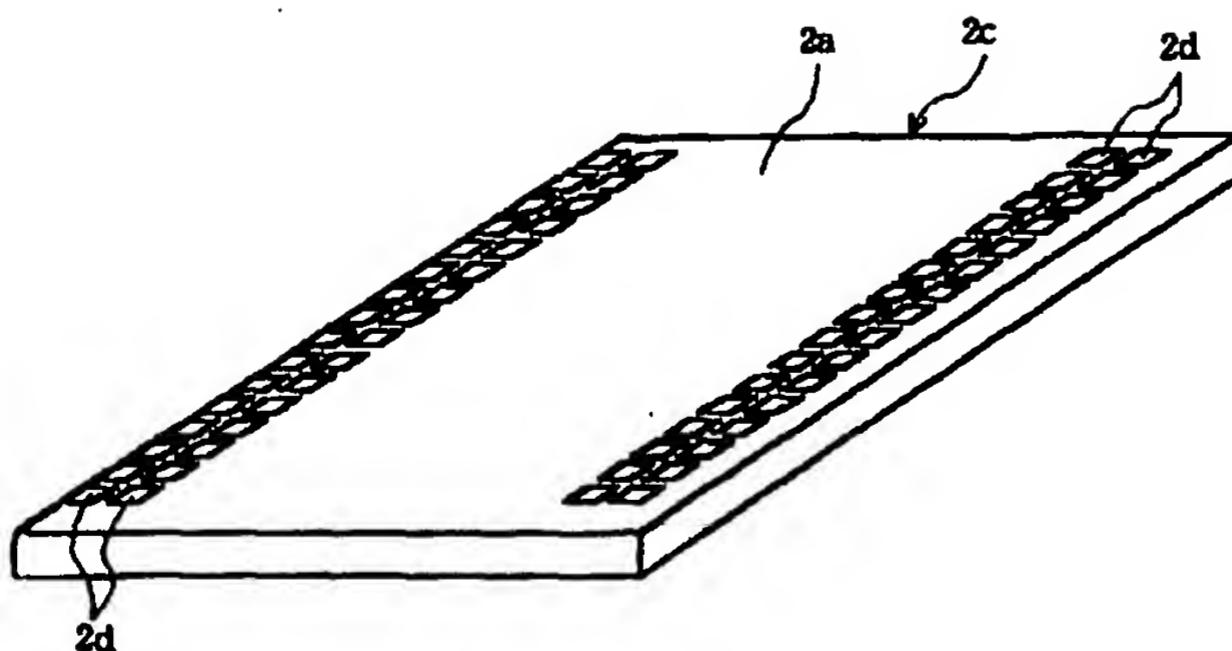
〔図2〕

圖 2

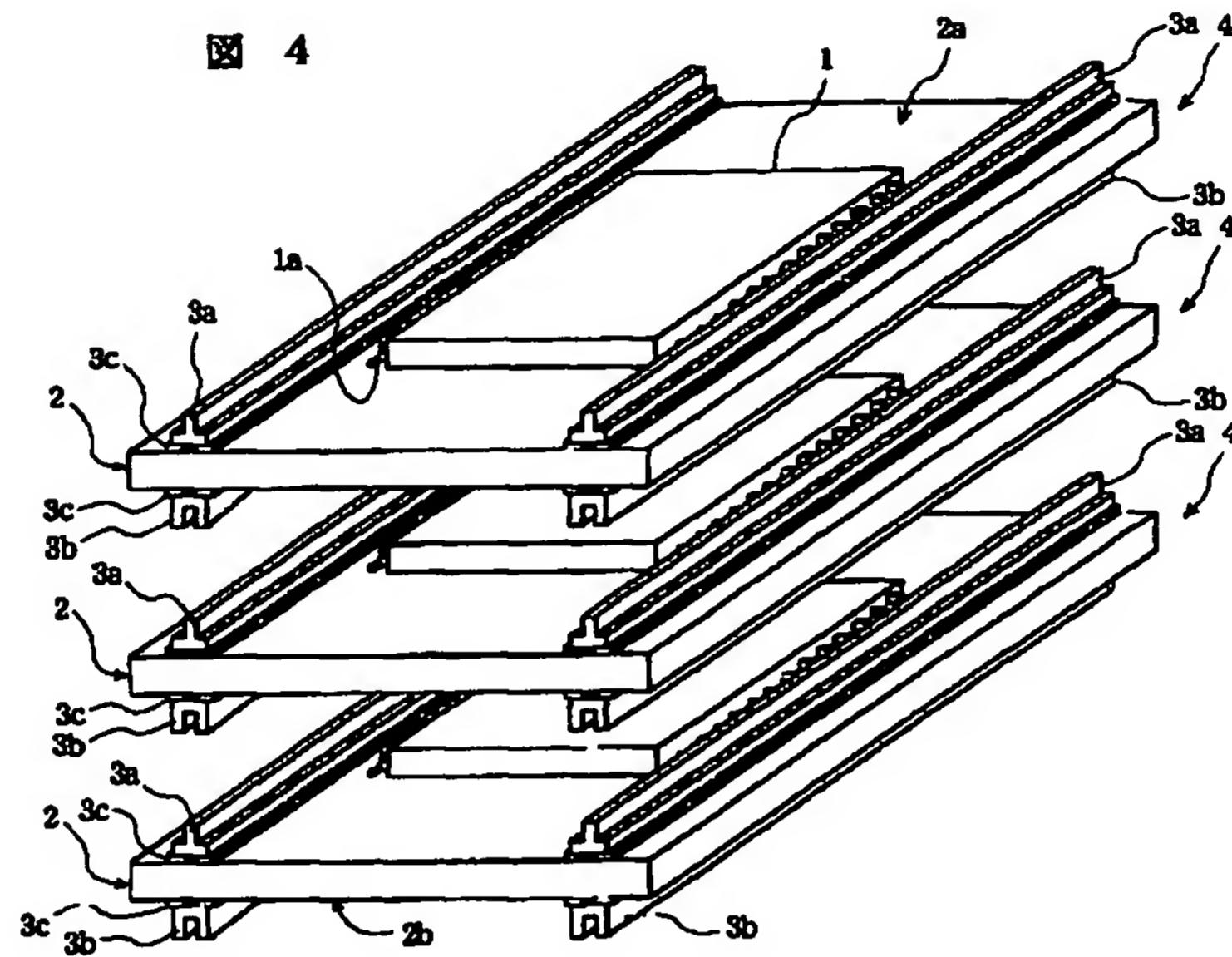


[图3]

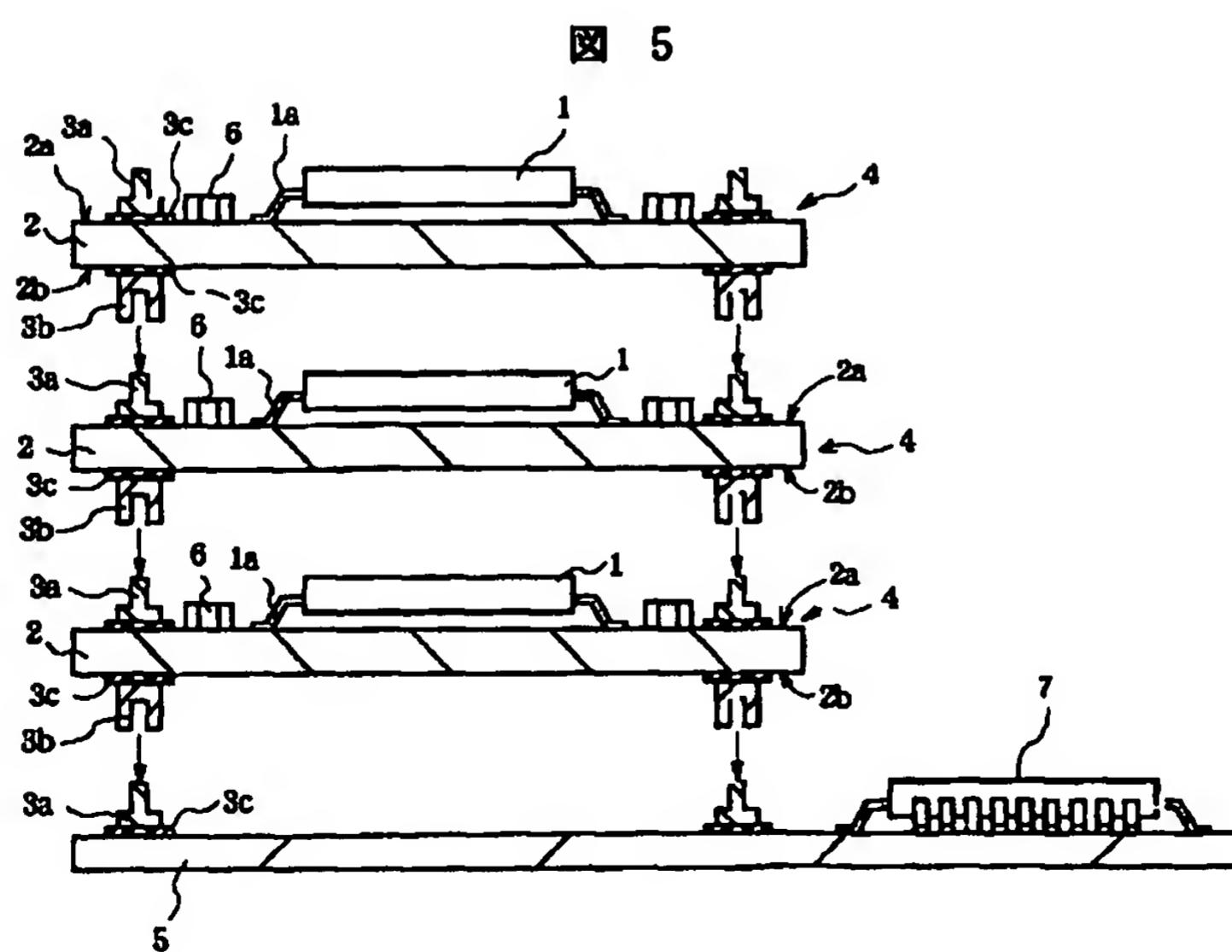
圖 3



【図4】

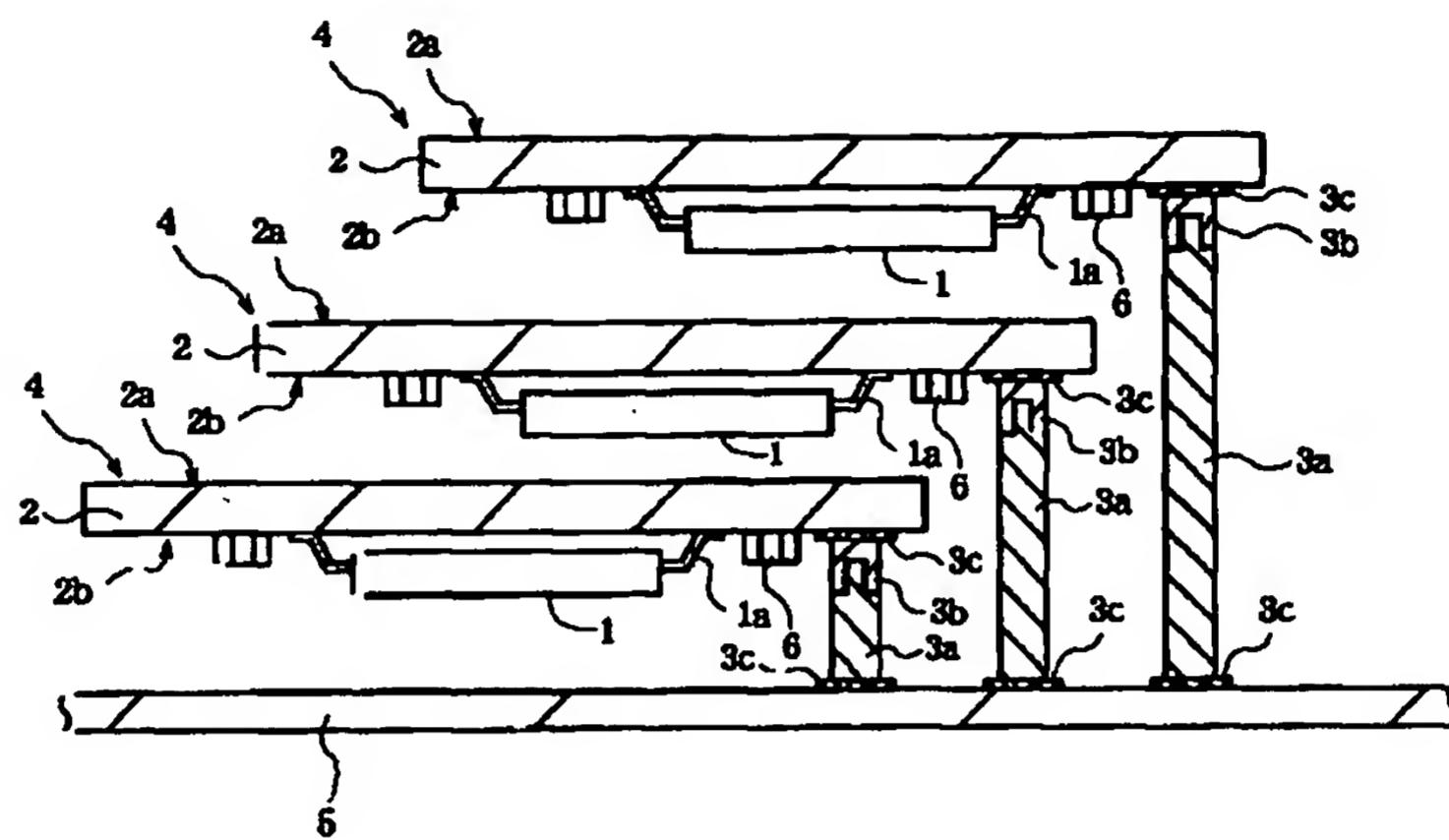


【図5】



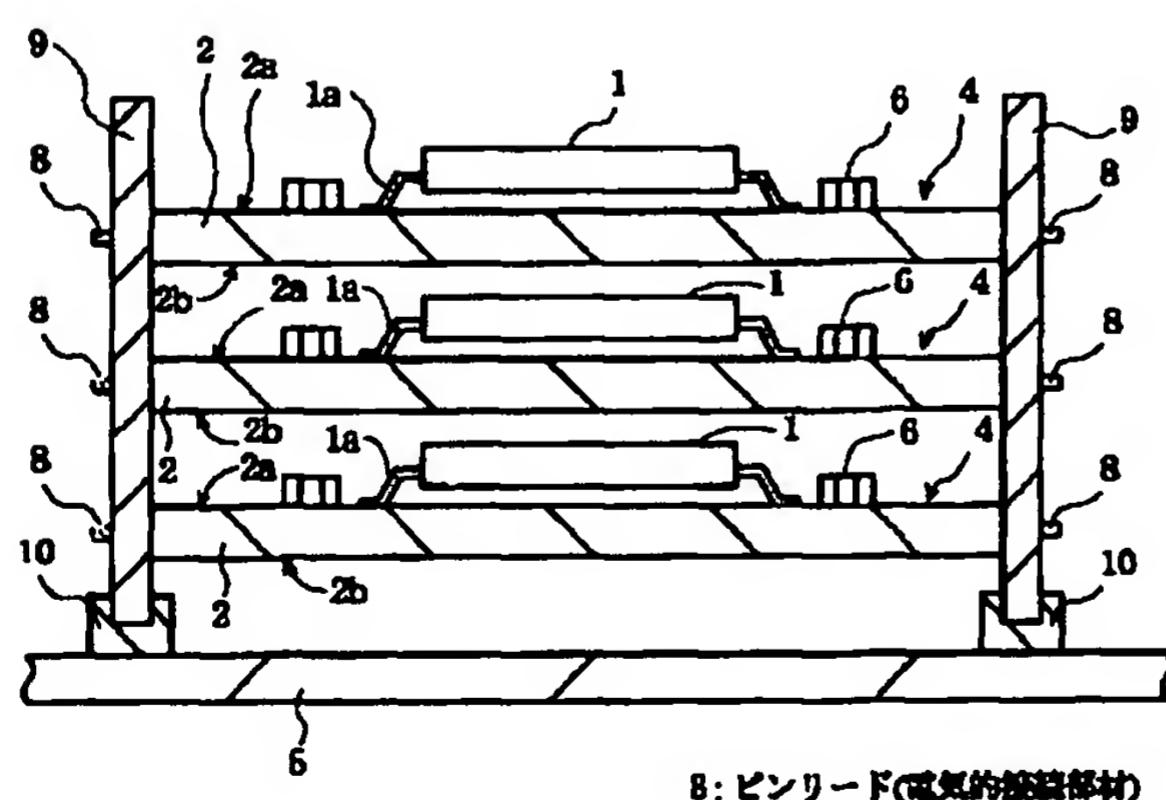
【図6】

図 6



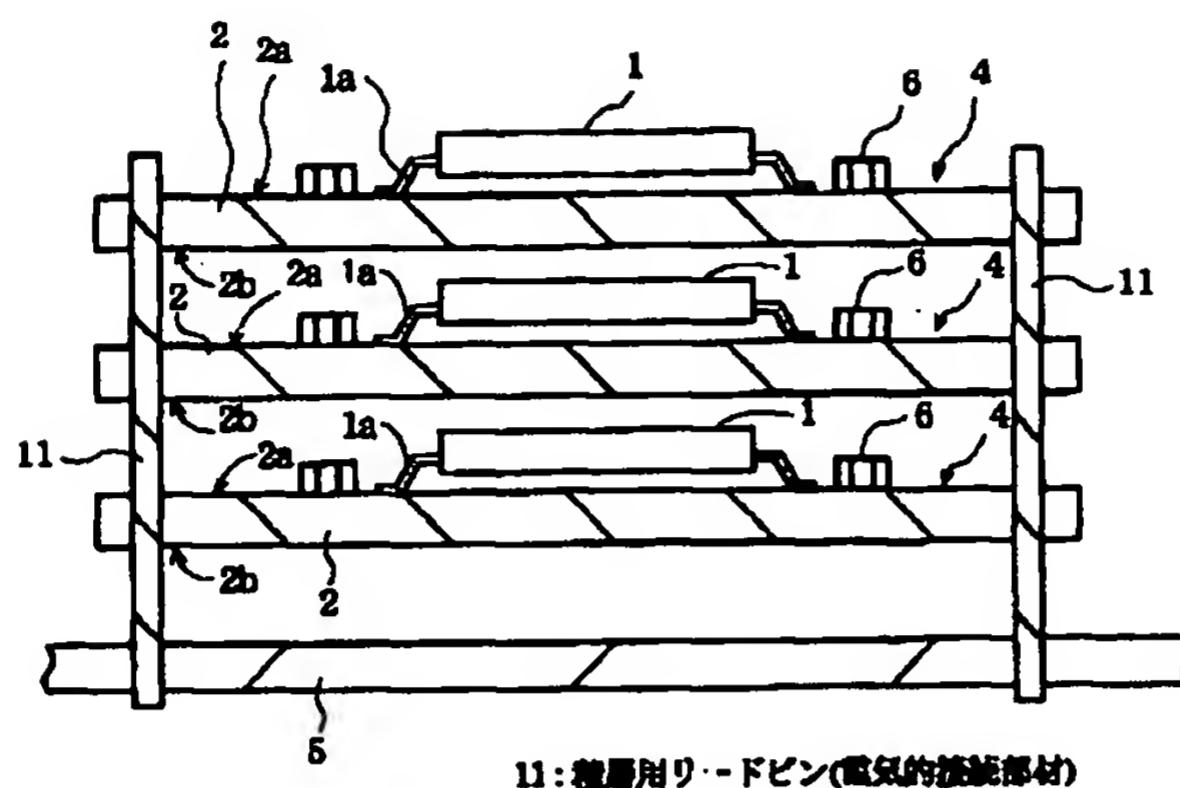
【図7】

図 7



【図8】

図 8



フロントページの続き

(72)発明者 津久井 誠一郎
埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内
(72)発明者 坂口 良寛
埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内

(72)発明者 中村 淳
埼玉県入間郡毛呂山町大字旭台15番地 日
立東部セミコンダクタ株式会社内
F ターム(参考) 5E023 AA04 CC01 FF13 HH30
5E344 AA01 AA26 BB02 BB06 CD18
EE06 EE13
5F083 ZA23